

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-002837

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

G02F 1/136
G02F 1/133
G02F 1/1343
G09F 9/30

(21)Application number : 09-152320

(71)Applicant : NEC CORP

(22)Date of filing : 10.06.1997

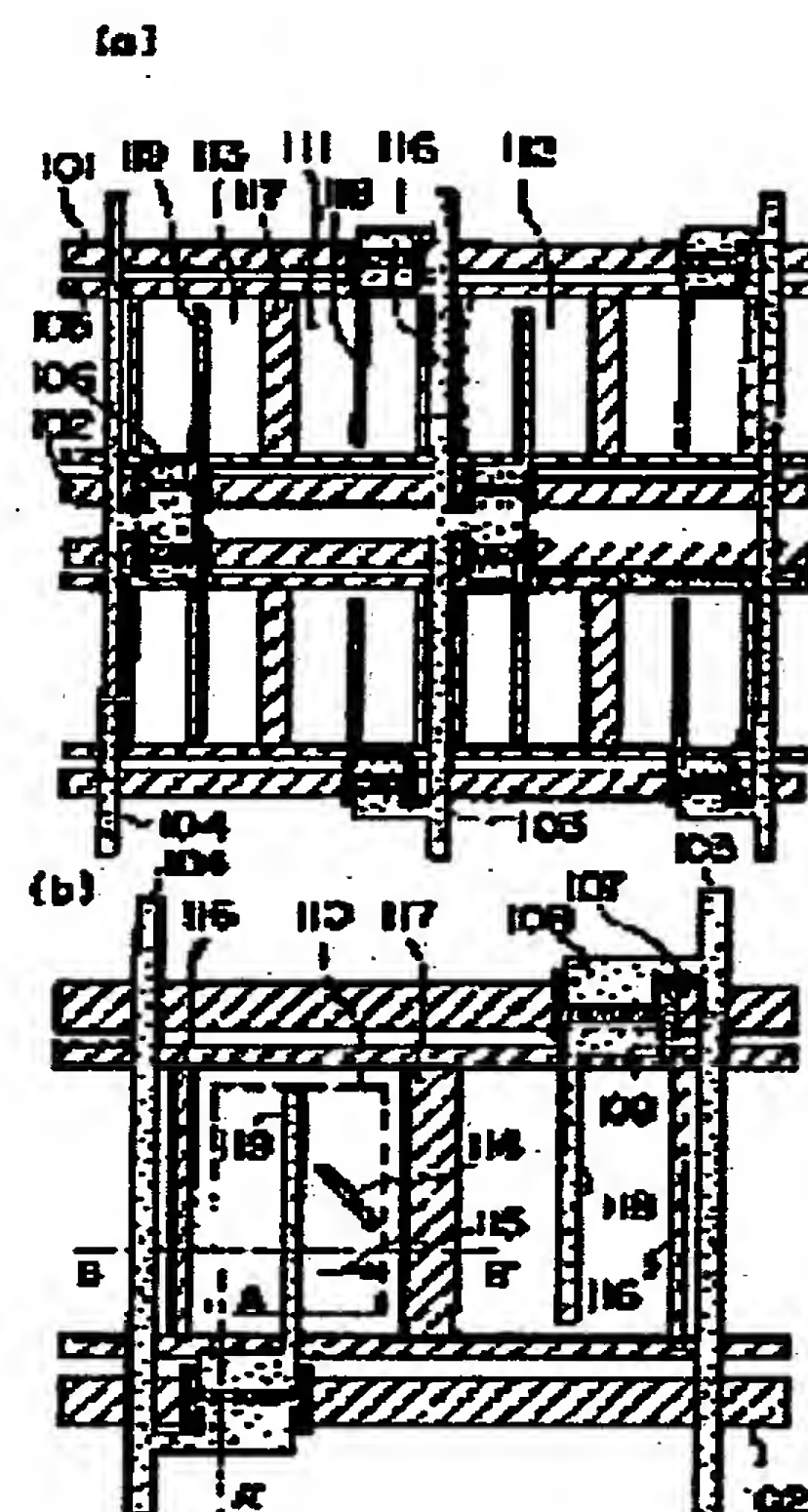
(72)Inventor : SAKAMOTO MICHIAKI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a low-cost and bright liquid crystal display device superior in display quality, wide in field angle, low in power consumption, and wide in light transmission area by applying a double-speed driving method to an in-plane switching (IPS) mode.

SOLUTION: Low power consumption is actualized by applying the double-speed driving method which can reduce the number of data to a half to the IPS mode. Further, not a pixel electrode, but a common electrode 117 that pixels 111 and 113 share is arranged between the pixels on obtain a sufficient interval between the pixel electrodes that those pixels 111 and 113 have, and the parasitic capacity between the pixels is reduced. On the common electrode 117 which is provided between the pixels 111 and 113 and shared by them, no BM layer needs to be arranged, so the area of a display area that light transmits through greatly increases. As a method of writing to the pixels, a 2H1V-dot inversion system is applied which performs dot inversion by pairing the polarities of the two pixels sharing the common electrode 117.



LEGAL STATUS

[Date of request for examination]

10.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3031295

[Date of registration]

10.02.2000

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-2837

(43) 公開日 平成11年(1999) 1月6日

(51) IntCl.⁶
G 0 2 F 1/136
1/133
1/1343
G 0 9 F 9/30

識別記号
5 0 0
5 5 0
3 3 8

F I
G 0 2 F 1/136
1/133
1/1343
G 0 9 F 9/30

5 0 0
5 5 0
3 3 8

審査請求 有 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平9-152320

(22) 出願日 平成9年(1997) 6月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社内

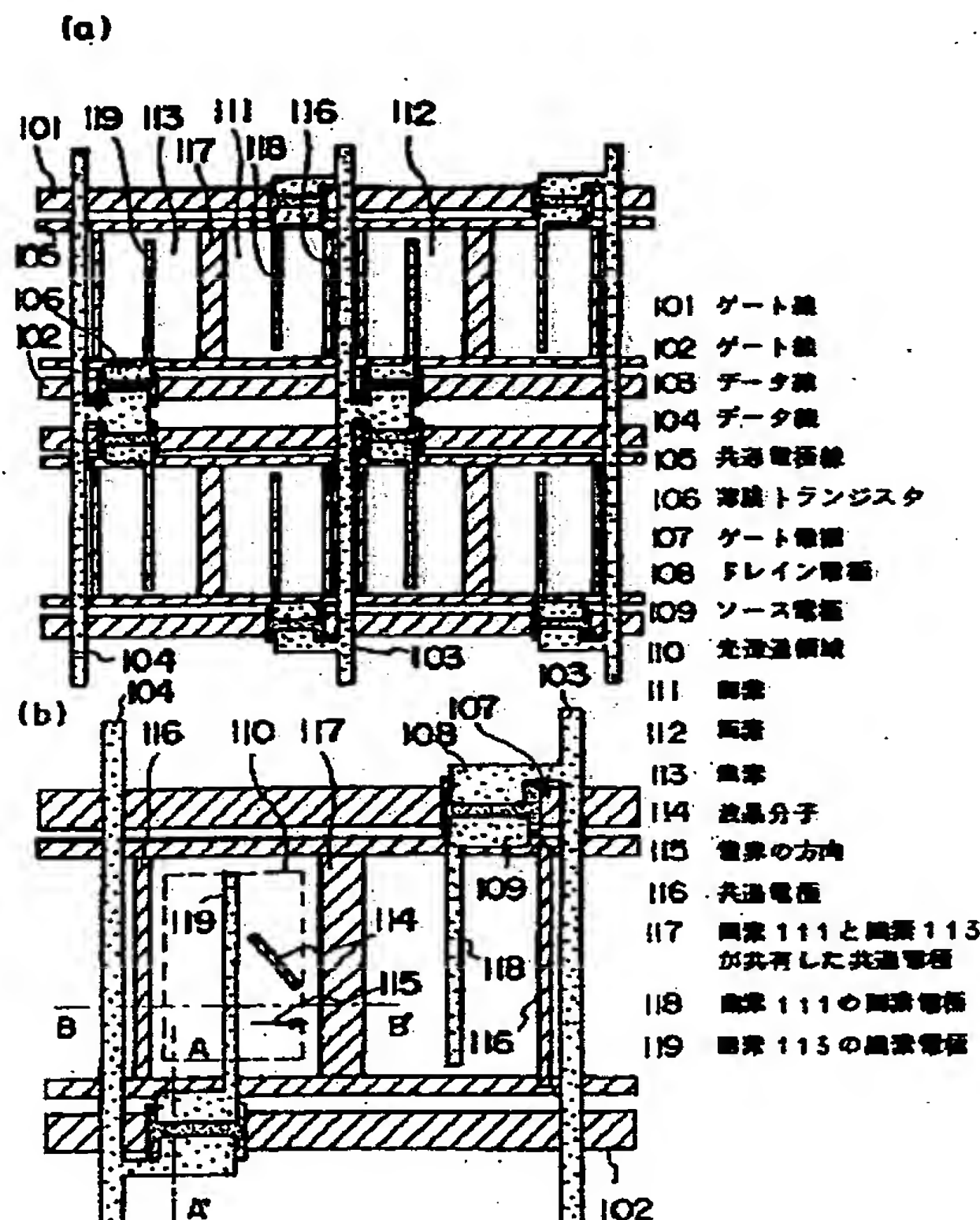
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 液晶分子の分子軸方向を能動素子基板と水平な面内で回転させて表示を行うことにより広視野角を可能とするIPS (In Plane Switching) 型の広視野角液晶表示装置において、高開口率化して表示品質の優れた明るい液晶表示装置を提供する。

【解決手段】 画素1行に対して2本ずつ割り当てられたゲート線と画素2列に対して1本ずつ割り当てられたデータ線と、共通電極に接続する共通線を持ち、2本のゲート線のうちの一方のゲート線により選択される薄膜トランジスタ (TFT) を介して駆動される第1群の画素と、他方のゲート線により選択される薄膜トランジスタ (TFT) を介して駆動される第2群の画素を有する画素アレイ配置を行い、さらに第1群の画素と第2群の画素が共通電極の一部を共有するように構成する。



【特許請求の範囲】

【請求項 1】 能動素子基板と、対向基板と、前記両基板間に挟まれた液晶層を備えており、前記能動素子基板表面にマトリクス状に配設された画素電極と共通電極からなる画素と、ゲート、ドレインおよびソース電極を有する薄膜トランジスタとを有し、前記液晶層の液晶分子の分子軸方向を前記能動素子基板と水平な面内で回転させて表示を行うアクティブマトリクス型液晶表示装置において、前記能動素子基板は、マトリクス状に配設された前記画素の 1 行に対して 2 本ずつ割り当てられたゲート線と、前記画素の 2 列に対して 1 本ずつ割り当てられたデータ線と、共通電極に基準電位を供給する共通線を持ち、前記画素の 1 行に対して 2 本ずつ割り当てられた 2 本のゲート線のうちの一方のゲート線により選択される薄膜トランジスタを介して駆動される第 1 群の画素と、もう一方のゲート線により選択される薄膜トランジスタを介して駆動される第 2 群の画素を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 異なるデータ線に接続される隣接する 2 画素間に前記両画素で共用する共通電極を配設することを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記異なるデータ線に接続される隣接する 2 画素が共用する共通電極は、前記データ線と平行な方向に連通し、共通電極に基準電位を供給する共通線の一部を兼ねることを特徴とする請求項 2 記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 異なるデータ線に接続される隣接する 2 画素間には、前記両画素の共通電極に基準電位を供給する共通線が配設されることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 前記画素を構成する画素電極および前記共通電極はゲート線に平行な方向に形成されることを特徴とする請求項 4 記載のアクティブマトリクス型液晶表示装置。

【請求項 6】 前記対向基板面内において、前記異なるデータ線に接続される隣接する 2 画素が共用する共通電極または共通線に対向する領域には遮光パターンを形成しないことを特徴とする請求項 2 または 4 記載のアクティブマトリクス型液晶表示装置。

【請求項 7】 前記異なるデータ線に接続される隣接する 2 画素が互いに同極性であることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【発明の属する技術分野】 本発明は、液晶表示装置に関し、特に IPS (In Plane Switching) モードのアクティブマトリクス型液晶表示装置に関する。

【0001】

【従来の技術】 従来の一般的なアクティブマトリクス型

液晶表示装置の構成を図 8 を用いて説明する。従来のアクティブマトリクス型液晶表示装置では、マトリクス状に配置された画素に対して、その行および列と同数のゲート線およびデータ線を用いて駆動される。たとえば水平方向に RGB それぞれ 640 画素、垂直方向に 480 画素を有する VGA (Video Graphics Array) 方式のカラー表示のアクティブマトリクス液晶表示装置では、画素の選択信号用として 480 本のゲート線 801、各画素に保持する信号電圧の伝送用として 640×3 本のデータ線 802 が必要となる。さらにそれぞれのゲート線 801 とデータ線 802 の交点に薄膜トランジスタ (TFT) 804 が設けられ、それを介して画素 803 が接続される。それらゲート線 801 およびデータ線 802 を駆動するためには同数の走査線ドライバー 805 および信号線ドライバー 806 が必要となる。多階調を表示する場合、デジタル駆動が一般的であるが、その場合には信号線ドライバー 806 は 6 bit 分解能であれば極性反転駆動も考えあわせると 128 レベルの電圧を出力する必要があるため、単にゲート線に順次に選択パルスを出力するのみの走査線ドライバー 805 に比べてかなり高価であり、コストがかさむ問題を有していた。

【0002】 また、液晶表示装置は携帯の用途も多く、低消費電力化が求められ、液晶表示装置の消費電力に関しても、ゲート線のいずれか 1 本のみにパルスを送出する走査線ドライバーに比べて、数が多く、かつ並列に動作する信号線ドライバーの消費電力は桁ちがいに大きく、これらデータ線や信号ドライバーの消費電力を小さくする必要があった。

【0003】 これらコストおよび消費電力の問題を解決する案として、特開平 3-38689、特開平 5-265045、特開平 6-148680 で開示されたアクティブマトリクス型液晶表示装置があり、その内容を図 9 を用いて説明する (以下、従来例 1 または倍速駆動法と呼ぶ)。図 9 (a) は 4 列 2 行分の画素配置を示した平面図であり、(b) はその駆動方法を説明する図である。たとえば前述した VGA 方式のカラー液晶表示を行うものでは 480 行×1920 列の画素を表示するのに、走査方向の 1 表示ラインに対して 2 本ずつ割り当てられた 960 本のゲート線 901、902 および 960 本のデータ線 903、904 を持ち、各データ線 903 の左側に配置され、上側に配置される一方のゲート線 901 に接続された第 1 の薄膜トランジスタを介して駆動される画素 905 と、データ線の右に配置され、下側に配置される他方のゲート線 901 に接続された第 2 の薄膜トランジスタを介して駆動される画素 906 により構成される。

【0004】 図 9 (b) はこれら画素の駆動方法を説明する図で、水平走査期間 915 を 2 分し、第 1 の走査期間 916 と第 2 の走査期間 917 に分け、第 1 の走査期

間 916 でデータ線 903 の片側に配置された一方の画素 905 を駆動し、第 2 の走査期間 917 で他方の画素 906 を駆動するように従来の 2 倍の速度で走査線およびデータ線を駆動するものである。また、画素への書き込みの順序についてはたとえば以下のように行う。データ線 903 に接続された画素については、ゲート線の順により、画素 905 → 906 → 907 → 908 の順に書き込みを行い、データ線 904 に接続された画素についても同様に、画素 909 → 910 → 912 → 911 の順に書き込みを行う。

【0005】上述のごとく、従来例 1 の画素アレイ構成および駆動方法によればデータ線の数と信号ドライバーの数を半減でき、コストおよび消費電力を削減できることが言われていた。

【0006】しかし、従来例 1 の駆動方法では以下の問題点がある。前述の通り、第 1 の走査期間 916 において第 1 の画素 905 に、第 2 の走査期間 917 において第 2 の画素 906、910 に信号が書き込まれるが、この時、第 1 の画素 905 は第 2 の画素 906、910 の書き込み時に、画素 905 と画素 906 の間の寄生容量 $C1$ および画素 905 と画素 910 の間の寄生容量 $C2$ により変動をうける。画素の全体容量を C_{tot} 、データ信号の振幅を VD とすると、変動電圧 V_{pp918} は $V_{pp} = (C1 - C2) / C_{tot} * VD$

となる。画素 905 と画素 906 の間にはデータ線があるが、画素 905 と画素 910 の間には電位線がないため、一般に $C2$ は $C1$ より非常に大きく、画素 905 と 906 の間隔および画素 905 と画素 910 の間隔を $10\mu m$ 程度とすると、 $V_{pp} \sim 300mV$ 程度となる。

【0007】よって第 1 の画素 905 と第 2 の画素 906、910 は一般に $300mV$ 程度の電圧差があり、中間調などを表示した場合、画素の輝度が一定ではなく、表示品位が劣化する問題を有した。また、これらの表示品位の劣化を防ぐには、画素間隔を広げる必要があり、光透過領域が減る問題を有した。

【0008】さて、上記例では説明を省略したが、これらの駆動方法の提案は、対向した基板間に電界を印加し、配向した液晶分子の分子軸の方向（以下、ディレクタと呼ぶ）を基板に対して垂直方向に回転させて表示を行う TN (Twisted Nematic) モードの液晶表示装置に関するものである。それに対して広視野角が可能な液晶表示装置として、基板面に対して平行な方向に電界を印加し、液晶分子を基板面に平行な面内で回転させて表示を行う IPS (In Plane Switching) モードなどがある。IPS モードの液晶表示装置は、視点を動かしても基本的に液晶分子の短軸方向のみ見ており、液晶表示装置の視野角依存性が少なく、TN モードの液晶表示装置に比較して、広視野角を達成することができる。このため TV モニターの様に複数人ないしは多方向からみる用途など大画面の広い視野

角を必要とする分野には IPS モードが使用されると思われる。

【0009】そのような IPS モードの液晶表示装置としては、特開平 7-36058 号公報（以下、従来例 2）に開示されている液晶表示装置などが知られている。図 10 は従来例 2 の液晶表示装置を説明する図であり、(a) はその平面図であり、(b) はその TFT 部の断面図であり、(c) はそのデータ線まわりの断面図である。従来例 2 の液晶表示装置は図 10 に示されているように、ゲート線 1001 とデータ線 1002 と、共通線 1003 と共通電極 1005 と、画素電極 1004 と薄膜トランジスタ 1006 (Thin Film Transistor、以下 TFT と呼ぶ) とを備えている。このうち TFT は TFT 側ガラス基板 1011 上に設けられたゲート電極 1007 と、該ゲート電極を覆うようにして設けられたゲート絶縁膜 1012 と、このゲート絶縁膜上に形成されたドレイン電極 1008 およびソース電極 1009 ならびに a-Si 層 1010 と、それらをすべて覆うようにして設けられたパッシベーション膜 1013 とを備えている。この構造は、ゲート電極の上部にソースおよびドレイン電極がある構造（ボトムゲート構造）であるために、一般には逆スタガ構造と呼ばれている。またゲート線 1001 は TFT のゲート電極 1007 に対して、データ線 1002 はドレイン電極 1008 に対して、画素電極 1004 はソース電極 1009 に対して、共通線 1003 は共通電極 1005 に対してそれぞれ電氣的に接続されている。また、パッシベーション膜 1013 上には、液晶分子を液晶動作モードに適した配列や傾き（プレチルト）に制御するための配向膜 1014 が設けられており、TFT 側ガラス基板 1011 から配向膜 1014 までの構成要素にて TFT 基板 1019 を形成している。さらにこの TFT 基板 1019 と、液晶分子が封止された液晶層 1021 と、および色層 1016 やブラックマトリクス層 1017、配向膜 1015 を有するカラーフィルター基板 1020（以下、CF 基板と呼ぶ）とで一つの液晶表示装置を形成している。

【0010】このような特徴を有する従来例 2 においては、TN モードに比べ、広視野角化が可能であるが、画素内に画素電極 1004 と共通電極 1005 からなる電極対を設ける必要があるため、TN モードに比べて光の透過領域 1022 が少なく、液晶表示装置の透過率が小さい。そのため、明るく表示品位に優れた液晶表示装置を得るためにはバックライト輝度をあげる必要があり、TN モードに比べて消費電力が大きくなる。

【0011】一方、論文“Electric Field Analysis in TFT-LCDs with In-Plane-Switching Mode of Nematic LCs” (Eurodisplay '96 Digest 5.1 P. 49, 以

下、従来例 3) には IPS モードの液晶表示装置における、データ線の漏れ電界による液晶にかかる電界の乱れのメカニズムが述べられている。図 1 1 はデータ線の漏れ電界 1 1 1 6 による液晶にかかる電界 1 1 1 5 の乱れを説明する図である。たとえばデータ線 1 1 1 4 には正極性の 1 2 V の信号電圧がかかっており、画素 1 1 0 1 には負極性の 2 V の電圧がかかっており、共通電極 1 1 0 2 には基準電圧 7 V がかかっているとす。データ線 1 1 1 4 の漏れ電界 1 1 1 6 は図 1 1 のように表示部内部に侵入して、液晶分子を乱してから共通電極 1 1 0 2 10 に終端する。このため、液晶分子が乱れた領域は CF 基板 1 1 1 2 上に設けたブラックマトリクス層 1 1 0 9 の幅を広くして、必要なレベルまで遮光を行う必要がある。よって、TN モードに比べて、ますます光透過領域は小さくなる。

【0012】次に、従来例 1 で説明した倍速駆動法と、従来例 2、3 で説明した IPS モードを単純に組み合わせて LCD を構成した場合を仮想した例を以下に説明する。図 1 2 はそのような液晶表示装置を説明する図であり、(a) はその 4 列 2 行分の画素の平面図であり、(b) はその断面図である。データ線 1 2 0 3 に画素 1 2 2 2、1 2 2 3 が接続され、ゲート線 1 2 0 1 により画素 1 2 2 2 が、ゲート線 1 2 0 2 により画素 1 2 2 3 が選択される。データ線 1 2 0 3 に隣接して共通電極 1 2 0 6 を配置し、データ線のない側に第 1 の画素の画素電極 1 2 2 5 および第 2 の画素の画素電極 1 2 2 6 を配置する。これらの駆動方法については従来例 1 と同じであるため、説明を省略する。

【0013】この場合、画素電極 1 2 2 5、1 2 2 6 の間にデータ線のない分だけ、従来例 3 のような漏れ電界の影響を考えなくてすみ、画素電極 1 2 2 5 と隣の画素電極 1 2 2 6 の間隔を狭めて光の透過領域を広げることが可能である。また、データ線の数が半減するため、低消費電力化が可能となり、また低いコスト化が可能となると思われる。

【0014】しかし、倍速駆動方法を単純に IPS モードの液晶表示装置に適用した場合においても、従来例 1 の問題点として指摘した通り、第 1 の画素 1 2 2 5 が第 2 の画素 1 2 2 6 の書き込み時に容量結合により変動しないように、画素 1 2 2 5 と 1 2 2 6 の間隔を十分 40 にとることが必要となる。

【0015】さらに本画素構成において、たとえば画素 1 2 2 6 を正極性の 1 2 V、画素 1 2 2 5 を負極性の 2 V、共通電極 1 1 0 6 を基準電位の 7 V とすると、図 1 2 のような液晶を駆動する電界 1 2 1 9 を乱す不必要な電界 1 2 2 0 が生じ、データ線周りの漏れ電界と同様に表示領域内の液晶分子を乱すために、画素電極 1 2 2 5、1 2 2 6 上に大きな遮光領域を CF 基板 1 2 1 7 上のブラックマトリクス 1 2 1 4 により形成する必要がある。このように従来例 1 の駆動方法を IPS 液晶表示装 50

置に適用する場合にも、その画素構成や画素への書き込み信号の極性などを十分に考慮しないと、表示品位を劣化させる問題を有した。

【0016】

【発明が解決しようとする課題】以上で説明したように、従来例 1 の倍速駆動方法では、隣合う画素同士の間隔を十分に広げ、画素同士の寄生容量を小さくして表示品位の劣化を防ぐ必要があり、そのため光透過領域が減る問題を有した。また、この倍速駆動方法を基板面に対して平行な電界を用いた IPS 液晶に適用した場合も、その画素構成や画素への書き込み信号の極性などを十分に考慮しないと、表示品位が劣化し、光透過領域が減る問題を有した。

【0017】よって、本発明の目的は、従来例 1 のような倍速駆動方法を IPS モードに適用して、広視野角・低消費電力・低コストで、さらに光透過領域が広く、表示品位に優れた明るい液晶表示装置を提供することにある。

【0018】

【課題を解決するための手段】本発明によれば第 1 のアクティブマトリクス型液晶表示として、能動素子基板と対向基板と、前記両基板間に挟まれた液晶層を備えており、前記能動素子基板表面に画素電極と共通電極からなるマトリクス状に配置された画素と、ゲート、ドレインおよびソース電極を有する薄膜トランジスタを有し、前記液晶層に封止されている液晶分子の分子軸方向を前記能動素子基板と水平な面内で回転させて表示を行うアクティブマトリクス型液晶表示装置において、前記能動素子基板は、マトリクス状に配置された前記画素の 1 行に対して 2 本ずつ割り当てられたゲート線と、前記画素の 2 列に対して 1 本ずつ割り当てられたデータ線と、共通電極に基準電位を供給する共通線を持ち、前記 2 本のゲート線のうちの一方の走査線により選択される薄膜トランジスタ (TFT) を介して駆動される第 1 群の画素と、もう一方のゲート線により選択される薄膜トランジスタ (TFT) を介して駆動される第 2 群の画素を有することを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0019】また、本発明によれば第 2 のアクティブマトリクス型液晶表示装置として、前記第 1 の液晶表示装置において、前記第 1 群の画素と前記第 2 群の画素の間には、両画素で共有する共通電極を有することを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0020】また、本発明によれば第 3 のアクティブマトリクス型液晶表示装置として、前記第 2 の液晶表示装置において、前記第 1 群の画素と第 2 群の画素の間に共有した前記共通電極は、前記共通線を兼ねることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0021】また、本発明によれば、第 4 のアクティブ

マトリクス型液晶表示装置として、前記第 1 の液晶表示装置において、前記第 1 群の画素と第 2 群の画素の間には一方にはデータ線が他方には前記共通線が配置されることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0022】また、本発明によれば、第 5 のアクティブマトリクス型液晶表示装置として、前記第 4 の液晶表示装置において、前記画素電極および前記共通電極は走査線に平行な長辺とデータ線に平行な短辺を持つ長方形型のパターンにより形成されていることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0023】また、本発明によれば、第 6 のアクティブマトリクス型液晶表示装置として、前記第 2 または第 4 の液晶表示装置において、前記対向基板面内において、前記第 1 群の画素と前記第 2 群の画素が共有する共通電極または共通線に対向する領域には遮光パターンが存在しないことを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0024】また、本発明によれば第 7 のアクティブマトリクス型液晶表示装置として、前記第 1 の液晶表示装置において、前記画素の駆動方法は、各走査線の走査期間を第 1 の走査期間および第 2 の走査期間に分け、第 1 の走査期間では前記第 1 の画素が駆動され、第 2 の走査期間では前記第 2 の画素が駆動され、前記第 1 群の画素と、その隣に配置された前記第 1 の画素とは異なるデータ線に接続された前記第 2 群の画素は、その極性が互いに同極性であることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0025】

【発明の実施の形態】次に本発明の実施の形態を図面を参照して順次に詳細に説明する。

(第 1 の実施の形態) 図 1 は本発明の第 1 の実施形態によるアクティブマトリクス液晶表示装置について説明する図であり、(a) はその 4 列 2 行分の画素アレイ配置を示す平面図であり、(b) はその画素部拡大図である。本発明の第 1 の実施形態のアクティブマトリクス型液晶表示装置では、能動素子基板 (以下、TFT 基板) と対向基板 (以下、CF 基板) とこれらに挟まれた液晶層により構成されている。TFT 基板上には画素電極が 640×3×480 のマトリクス上に配置され、960 本のゲート線 101 を走査方向の 1 表示ラインに対して 2 本ずつ割り当て、320×3 本のデータ線 103、およびゲート線 101 と平行に配置された 480 本の共通線 105 を備えている。データ線 103 の左右にはゲート線 101 により選択されデータ線 103 の信号を書き込む画素 111 および他方のゲート線 102 により選択され、データ線 103 の信号を書き込む画素 112 が配置されている。画素 111、112 はそれぞれ 1 つの画素電極 118 および 2 つの共通電極 116、117 をもち、一方の共通電極 116 はデータ線 103 に隣接して

配置され、他方の共通電極 117 は画素 111 と隣のデータ線 104 に接続された画素 113 の間に配置されて、画素 111 と 113 で共通電極 117 を共有している。画素電極 118 はこれら共通電極 116、117 の中央に配置されている。画素電極 118 は TFT 106 のソース電極 109 に接続され、共通電極 116、117 はゲート線 101 と平行に配置された共通線 105 に接続されており、ゲート線 101 に供給される選択信号とデータ線 103 に供給されるデータ信号とで選択された画素において、基板表面と実質的に水平な面内で電界を生じさせ、この電界 115 にしたがって液晶分子 114 を基板表面と水平な面内で回転させて表示を行っている。

【0026】次に本発明の第 1 の実施の形態による画素の層構造を図 2 を用いて説明する。図 2 は第 1 の実施形態の層構造を示す図であり、(a) は TFT 部の断面図、(b) はデータ線周りの断面図である。本発明の画素の層構造は、TFT ガラス基板 121 上に設けられたボトムゲート構造の逆スタガ型 TFT のゲート層を用いて共通電極 116・共通線 105 およびゲート線 102 が形成されており、ドレイン層を用いてデータ線 104 と画素電極 118、119 が形成されており、それらを覆うように TFT を保護するためにパッシベーション膜 123 が形成されている。さらにパッシベーション膜 123 上には液晶分子を配向させるための配向膜 124 が備えられ、TFT 側ガラス基板 121 から配向膜 124 までの構成要素にて TFT 基板 129 が形成されている。一方、カラーフィルター基板 130 は CF 側ガラス基板 128 と、非表示部を遮光するブラックマトリクス層 127 (以下、BM 層) と、RGB 3 原色を持つ顔料や染料の入った樹脂である色層 126 と液晶を配向させるための配向膜 125 にて構成されている。

【0027】BM 層 127 はゲート線 102 およびデータ線 104 周りの非表示領域には設けられているが、第 1 の画素と第 2 の画素が共有した共通電極 117 上には BM 層は設けられていない。

【0028】第 1 の実施形態による駆動方法は図 3 のように行う。図 3 において (a) は画素の駆動順序をのべた図であり、(b) は各ラインや画素の信号を示した図である。

【0029】各走査ラインの走査期間 142 を第 1 の走査期間 143 と第 2 の走査期間 144 に分け、第 1 の走査期間 143 でデータ線 103 の片側に配置された一方の画素 111 を駆動し、第 2 の走査期間 144 で他方の画素 112 を駆動する。また、画素への書き込みについてはたとえば以下のように行う。データ線 103 に接続された画素については、画素 111→112→132→133 の順に書き込みを行い、データ線 104 に接続された画素については、画素 134→113→135→136 の順に書き込みを行う。

【0030】これらの画素に対する信号の極性として、たとえば画素ごとに極性を反転させるドット反転方式と、共通電極を共有する2画素の極性を一対として、ドット反転を行う2H1Vドット反転方式がある。

【0031】図4はドット反転方式を適用した場合を説明する図であり、(a)は各画素に対する書き込み方式を示し、(b)は画素アレイの平面図であり、(c)はその断面図である。ドット方式では各画素ごとに極性を反転して駆動を行う。図4(b)、(c)に示すとおり、一方の画素113の画素電極119には正極性の12Vがかかっており、他方の画素111の画素電極118に負極性の2Vがかかっている。また共通電極116、117には基準電位7Vがかかっている。このようなドット反転駆動の場合、画素電極118、119と共通電極116、117でつくられる液晶分子114にかかる平行電界115のほか、画素電極118と画素電極119の間に漏れ電界145が生じ、表示部内の液晶分子を乱すために表示品位が劣化する。このため、従来例1の駆動方法をIPSモードに適用する場合には、従来のドット反転駆動を適用することはできない。

【0032】図5は共通電極を共有する2画素の極性を一対としてドット反転を行う2H1Vドット反転方式を適用した場合を説明する図であり、(a)は各画素に対する書き込み方式を示し、(b)は画素アレイの平面図であり、(c)はその断面図である。2H1Vドット反転方式では図5(a)のように、共通電極を共有した画素111、113を画素対とみなし、画素対ごとに極性を反転して駆動を行う。図5(b)、(c)に示すとおり、一方の画素113の画素電極119には正極性の12Vがかかっており、他方の画素111の画素電極118にも正極性の12Vがかかっている。また共通電極116、117には基準電位7Vがかかっている。このような2H1Vドット反転駆動の場合は、前述したような画素電極119と画素電極118の間に漏れ電界は生じず、したがって液晶分子を乱すことはないため、表示品位が劣化しない。よって、本実施形態では画素へ書き込む信号の極性としては、共通電極を共有する2画素の極性を一対として、ドット反転を行う2H1Vドット反転方式を適用した。

【0033】ここで、以上に説明した第1の実施形態の特徴は、以下の点にある。

【0034】データ数を半減できる倍速駆動方法をIPSモードに適用したことにより、低消費電力化が可能となり、またコストを削減することが可能となる。

【0035】また、画素111と画素113の間には、画素電極ではなく、これらの画素が共有する共通電極117を配置したことにより、画素111と画素113の持つ画素電極の間隔を十分とることができ画素間寄生容量が低減でき、倍速駆動方法で問題となった表示品位の劣化を防ぐことができる。

【0036】画素111と画素113の間に設けられた、これらの共有する共通電極117上にはBM層を配置する必要がないため、光の透過する表示領域の面積が従来に比べて大きく増加する。これにより光透過率の高い明るい表示品質の優れた液晶表示装置が提供できる。

【0037】さらに、画素への書き込みの仕方として、共通電極を共有する2画素の極性を一対として、ドット反転を行う2H1Vドット反転方式を適用したことにより、画素電極間の漏れ電界が生じず、表示品位の優れた液晶表示装置を提供できる。

(第2の実施の形態) 図6を用いて本発明の第2の実施形態について説明する。図6は第2の実施形態を示す図であり、(a)は画素の平面図であり、(b)はその断面図である。

【0038】図6(a)に示すように、TFT基板上には画素電極が640×3×480のマトリクス上に配置され、960本のゲート線601を走査方向の1表示ラインに対して2本ずつ割り当て、320×3本のデータ線602、およびデータ線602と平行に配置された320本の共通線603を備えている。データ線602の左右にはゲート線601により選択されデータ線602の信号を書き込む画素606および他方のゲート線620により選択され、データ線602の信号を書き込む画素607が配置されている。画素606、607はそれぞれ1つの画素電極604および1つの共通電極605をもち、さらに共通電極を兼ねた共通線603を共有している。

【0039】次に本発明の第2の実施形態の画素の層構造を図6(b)を用いて説明する。ボトムゲート構造を持つ逆スタガ型のTFTのゲート層を用いてゲート線601が形成されており、ドレイン層を用いてデータ線602と画素電極604、および共通線603および共通電極605、603が形成されており、それらを覆うようにパッシベーション膜610が形成されている。

【0040】画素アレイへの信号の書き込み順序・極性は第1の実施形態と同様なので説明を省略する。

【0041】ここで本実施形態の特徴は、第1の実施形態に比べて画素606と画素607の間に設けられた共通電極が共通線603を兼ねているために、第1の実施形態に比べてさらに光が透過する面積が向上する点にある。

【0042】また、共通電極と画素電極が同層にあるため、両電極が液晶層に与える電界の対称性が向上し、たとえば焼き付きやムラ・シミなどの発生の少ない表示品位に優れた液晶表示装置が得られる。

(第3の実施の形態) 次に、本発明の第3の実施形態について説明する。なお、本実施形態の画素アレイ配置は第2の実施形態と同じなので説明を省略する。図7は第3の実施形態を示す図であり、(a)は画素の平面図であり、(b)はその断面図である。第2の実施形態と同

11

様に画素706と707の間には共通線703が配置されている。また画素電極704および共通線703に接続された共通電極705はその長辺がゲート線701に平行に配置されている。

【0043】層構造、および画素アレイへの信号の書き込みの順序・極性は第2の実施形態と同様なので説明を省略する。

【0044】ここで本実施形態の特徴は、データ線702と共通線703および共通電極705が同層で配置されているにもかかわらず、第2の実施形態に比べて隣接部分の面積が少ないために、新たなメタル層を設けてプロセス数を増加することなく、データ線と共通電極・共通電極線の間のショート不良率を低減できることにある。

【0045】

【発明の効果】以上説明したように、本発明の第1の効果は、液晶分子の分子軸方向を能動素子基板と水平な面内で回転させて表示を行うことにより広視野角を可能としたIPS型の広視野角液晶表示装置において、消費電力の少ない、低コストの液晶表示装置が提供できる点にある。

【0046】その理由は、画素1行に対して2本ずつ割り当てられた走査線と画素2列に対して1本ずつ割り当てられたデータ線と、共通電極に接続する共通線を持ち、2本の走査線のうちの一方の走査線にゲート電極が、データ線にドレイン電極が接続された薄膜トランジスタ(TFT)を介して駆動される第1の画素と、他方の走査線にゲート電極が、データ線にドレイン電極が接続された薄膜トランジスタ(TFT)を介して駆動される第2の画素を有する画素アレイ配置を行い、さらに第1の画素と第2の画素は共通電極の一部を共有するためである。さらに共通電極が共通線を兼ねる場合は、一層高開口率化ができる。

【0047】また、本発明の第2の効果は、倍速駆動を適用したIPS型液晶表示装置において、表示品位の優れた液晶表示装置を提供できることにある。

【0048】その理由は共通電極を共有する2画素の極性を一対として、ドット反転を行う2H1Vドット反転方式を適用したことにより、画素間に生じる漏れ電界を低減したことによる。

【0049】また、本発明の第3の効果は、倍速駆動を可能にしたIPS型の広視野角液晶表示装置において、高開口率を保ちつつデータ線・共通線ショートが減り、歩留まりが向上することである。

【0050】これはデータ線と共通線が同層の場合に、共通電極の長辺方向をゲート線と平行に配置することにより共通電極とデータ線の隣接する部分の面積を少なくする構造をとることによって得られる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型液晶表示装置

12

の一部を示す図であり、(a)は4列2行の画素アレイの平面図であり、(b)は一部の拡大図である。

【図2】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a)はそのTFT部の断面図(図1(b)のA-A'断面図)であり、(b)はデータ線周りの断面図(図1(b)のB-B'断面図)である。

【図3】本発明のアクティブマトリクス型液晶表示装置の駆動方式を示す図であり、(a)はその書き込み順序を示す図であり、(b)は各信号を示す図である。

【図4】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a)は画素信号の極性を示す図であり、(b)は画素の平面図であり、(c)はそのデータ線周りの断面図である。

【図5】(a)は画素信号の極性を示す図であり、(b)は画素の平面図であり、(c)はそのデータ線周りの断面図である。

【図6】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a)は画素の平面図であり、(b)はそのデータ線周りの断面図である。

【図7】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a)は画素の平面図であり、(b)はそのデータ線周りの断面図である。

【図8】従来のアクティブマトリクス型液晶表示装置の一部を示す図である。

【図9】従来のアクティブマトリクス型液晶表示装置の駆動方式を示す図であり、(a)はその書き込み順序を示す図であり、(b)は各信号を示す図である。

【図10】従来のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a)はその画素の平面図であり、(b)はそのTFT部の断面図であり、(c)はそのデータ線周りの断面図である。

【図11】従来のアクティブマトリクス型液晶表示装置の画素部のデータ線周りの断面図である。

【図12】従来のアクティブマトリクス型液晶表示装置の一部を表す図であり、(a)は4列2行の画素アレイの平面図であり、(b)はそのデータ線周りの断面図である。

【符号の説明】

101, 102	ゲート線
103, 104	データ線
105	共通電極線
106	薄膜トランジスタ
107	ゲート電極
108	ドレイン電極
109	ソース電極
110	光透過領域
111, 112, 113	画素
114	液晶分子
115	電界の方向

40

103, 104

105

106

107

108

109

110

111, 112, 113

114

115

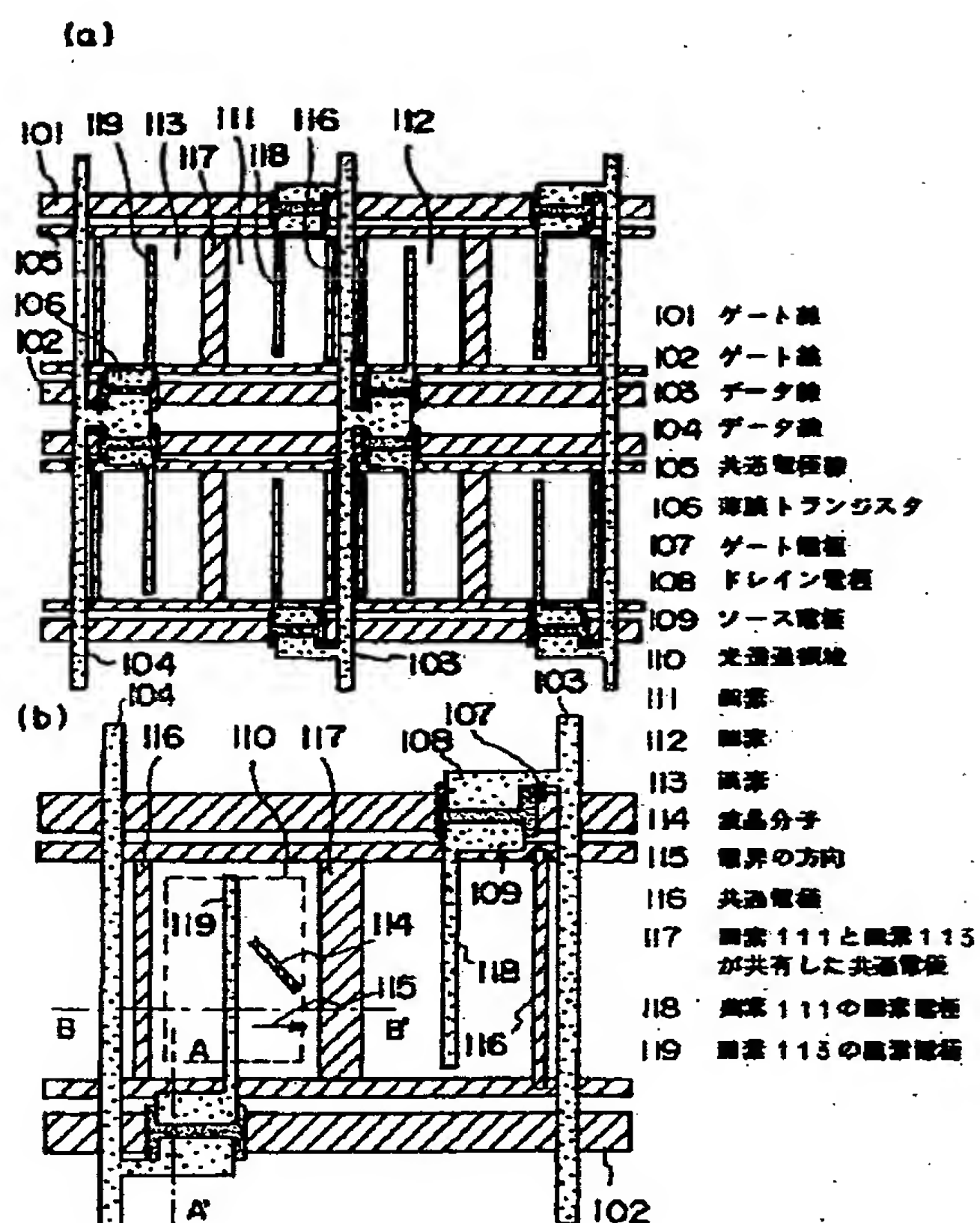
50

13		14	
116	共通電極	706, 707	画素
117	画素111と画素113が共有した共通電極	708	TFTガラス基板
118	画素111の画素電極	709	ゲート絶縁膜
119	画素113の画素電極	710	パッシベーション膜
120	a-Si層	711	配向膜(TFT側)
121	TFTガラス基板	712	配向膜(CF側)
122	ゲート絶縁膜	713	色層
123	パッシベーション膜	714	ブラックマトリクス層
124	配向膜(TFT側)	715	CFガラス基板
125	配向膜(CF側)	10 716	TFT基板
126	色層	717	CF基板
127	ブラックマトリクス層	718	液晶層
128	CFガラス基板	719	画素706と画素707が共有した共通電極
129	TFT基板	720	光透過領域
130	CF基板	801	ゲート線
131	液晶層	802	データ線
132~136	画素	803	画素電極
137	ゲート線101の信号	804	薄膜トランジスタ
138	ゲート線102の信号	805	走査ドライバー
139	データ線103の信号	20 806	信号ドライバー
140	画素111の電圧	807	表示部
141	画素112の電圧	901, 902	ゲート線
142	走査期間	903, 904	データ線
143	第1の走査期間	905~912	画素
144	第2の走査期間	C1	画素905と画素906の間の画素容量
145	もれ電界	C2	画素905と画素910の間の画素容量
601	ゲート線	915	走査期間
602	データ線	916	第1の走査期間
603	共通電極線	917	第2の走査期間
604	画素電極	30 918	画素電圧のシフト
605	共通電極	919	ゲート線901の信号
606, 607	画素	920	ゲート線902の信号
608	TFTガラス基板	921	データ線903の信号
609	ゲート絶縁膜	922	画素905の電圧
610	パッシベーション膜	923	画素906の電圧
611	配向膜(TFT側)	1001	ゲート線
612	配向膜(CF側)	1002	データ線
613	色層	1003	共通電極線
614	ブラックマトリクス層	1004	画素電極
615	CFガラス基板	40 1005	共通電極
616	TFT基板	1006	薄膜トランジスタ
617	CF基板	1007	ゲート電極
618	液晶層	1008	ドレイン電極
619	画素606と画素607が共有した共通電極	1009	ソース電極
620	光透過領域	1010	a-Si層
701	ゲート線	1011	TFTガラス基板
702	データ線	1012	ゲート絶縁膜
703	共通電極線	1013	パッシベーション膜
704	画素電極	1014	配向膜(TFT側)
705	共通電極	50 1015	配向膜(CF側)

15

- 1016 色層
- 1017 ブラックマトリクス層
- 1018 CFガラス基板
- 1019 TFT基板
- 1020 CF基板
- 1021 液晶層
- 1022 光透過領域
- 1101 画素電極
- 1102 共通電極
- 1103 TFTガラス基板
- 1104 ゲート絶縁膜
- 1105 パッシベーション膜
- 1106 配向膜 (TFT側)
- 1107 配向膜 (CF側)
- 1108 色層
- 1109 ブラックマトリクス層
- 1110 CFガラス基板
- 1111 TFT基板
- 1112 CF基板
- 1113 液晶層
- 1114 データ線
- 1115 液晶にかかる電界
- 1116 データ線からの漏れ電界

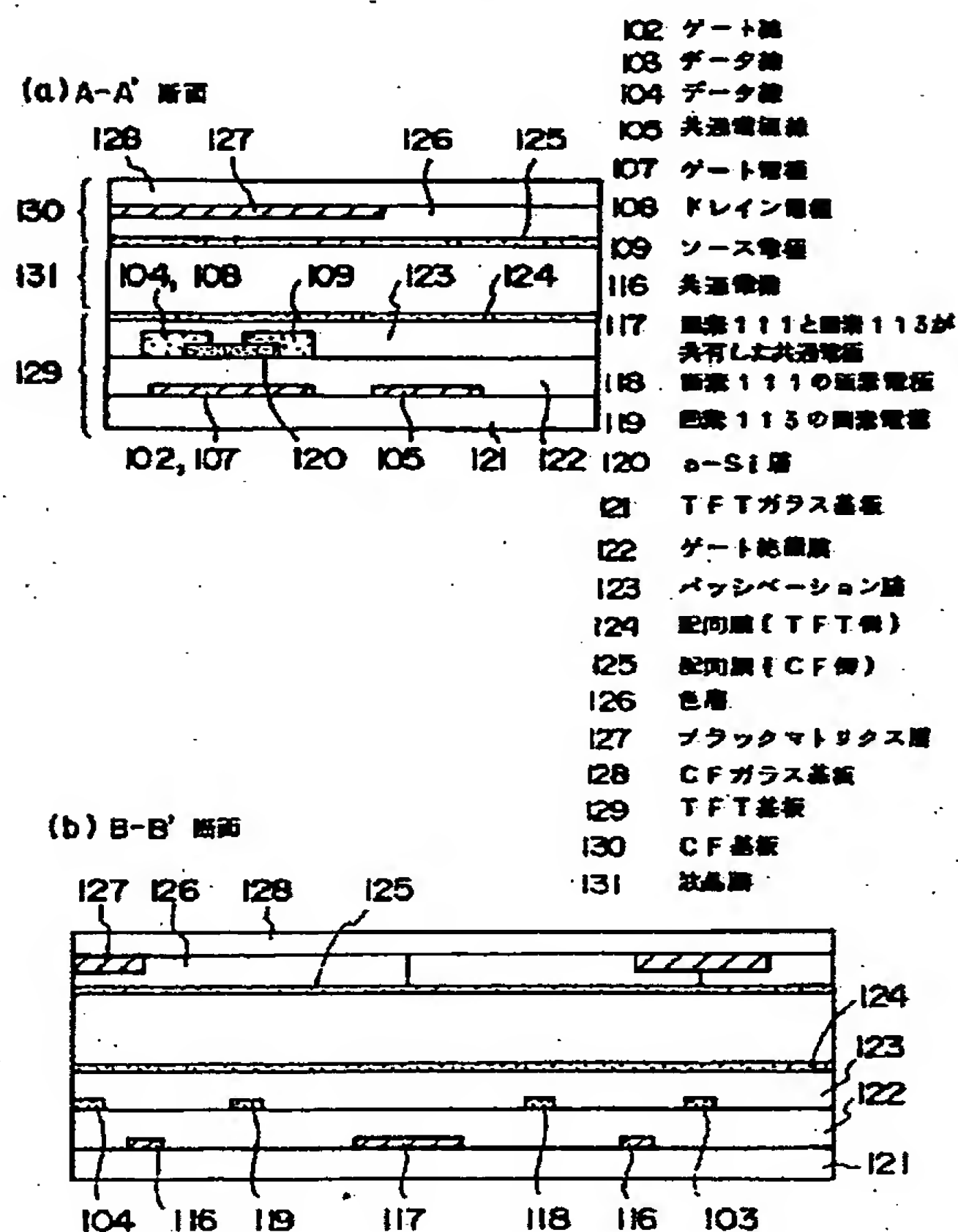
【図1】



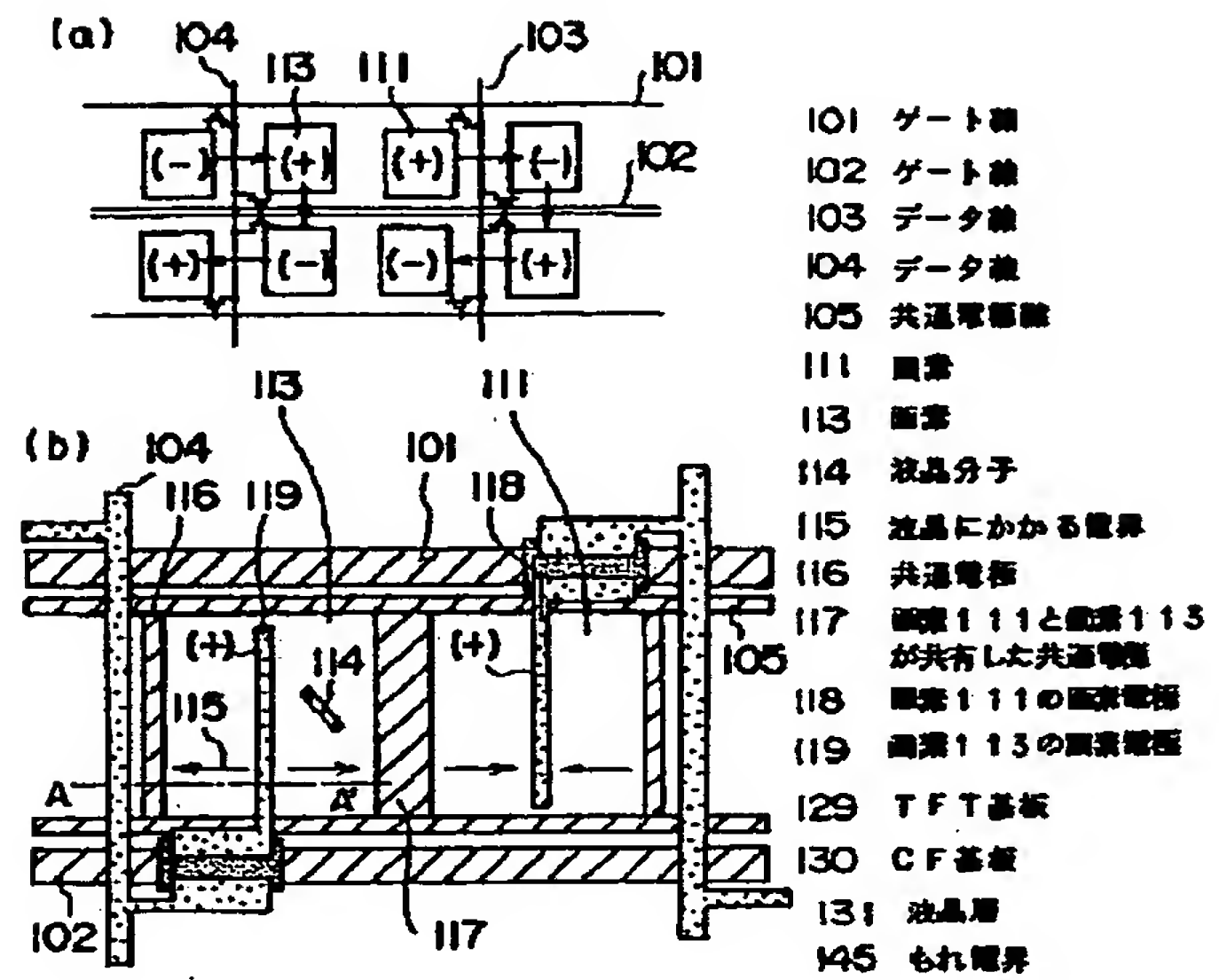
16

- 1201, 1202 ゲート線
- 1203, 1204 データ線
- 1205 共通電極線
- 1206 共通電極
- 1207 薄膜トランジスタ
- 1208 TFTガラス基板
- 1209 ゲート絶縁膜
- 1210 パッシベーション膜
- 1211 配向膜 (TFT側)
- 1212 配向膜 (CF側)
- 1213 色層
- 1214 ブラックマトリクス層
- 1215 CFガラス基板
- 1216 TFT基板
- 1217 CF基板
- 1218 液晶層
- 1219 液晶にかかる電界
- 1220 もれ電界
- 1221 光透過領域
- 1222~1224 画素
- 1225 画素1222の画素電極
- 1226 画素1224の画素電極

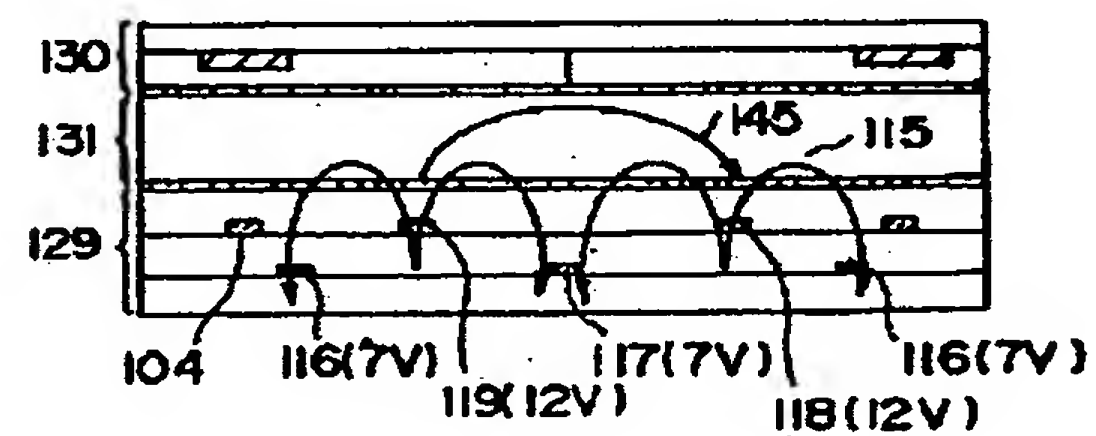
【図2】



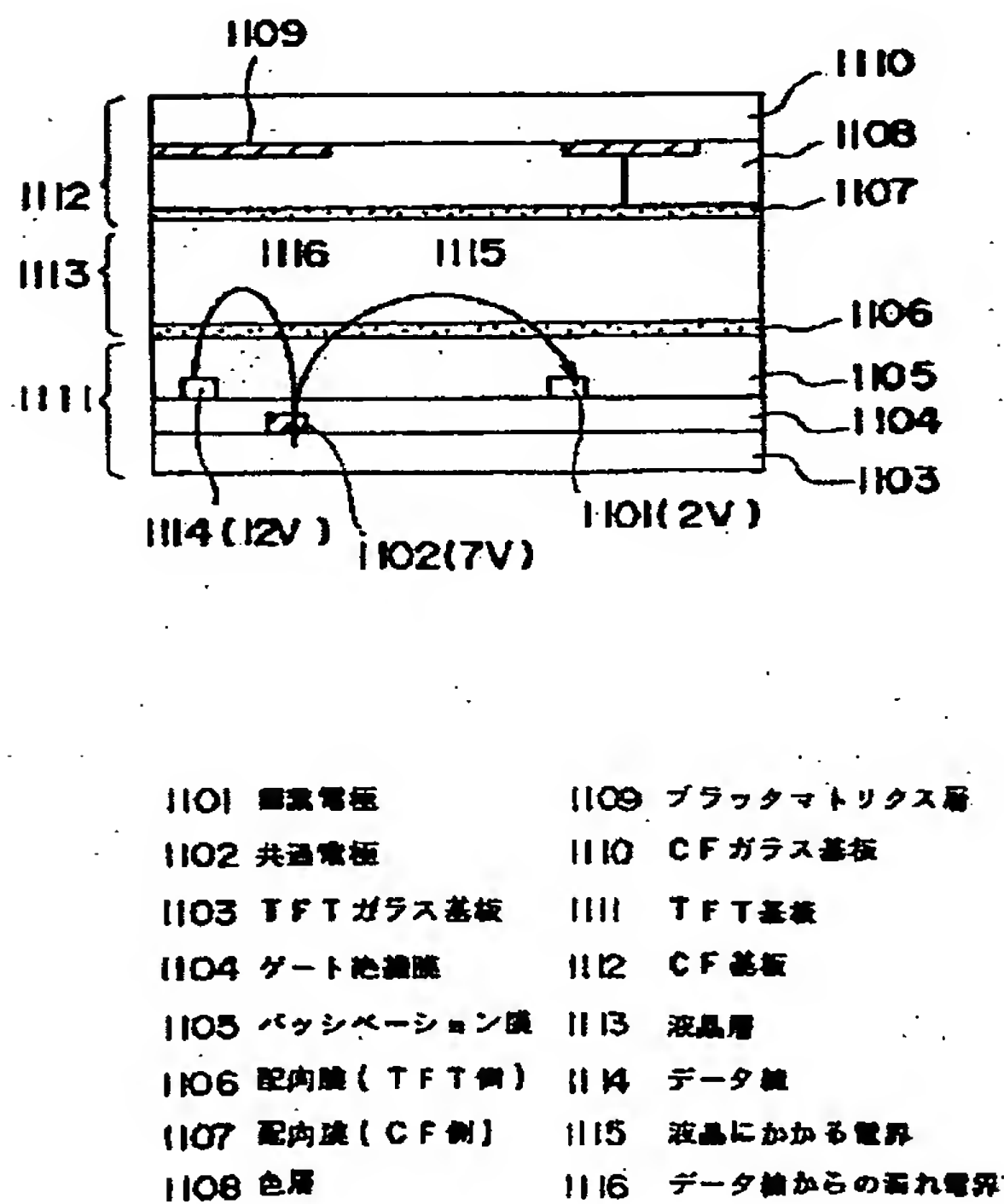
【図4】



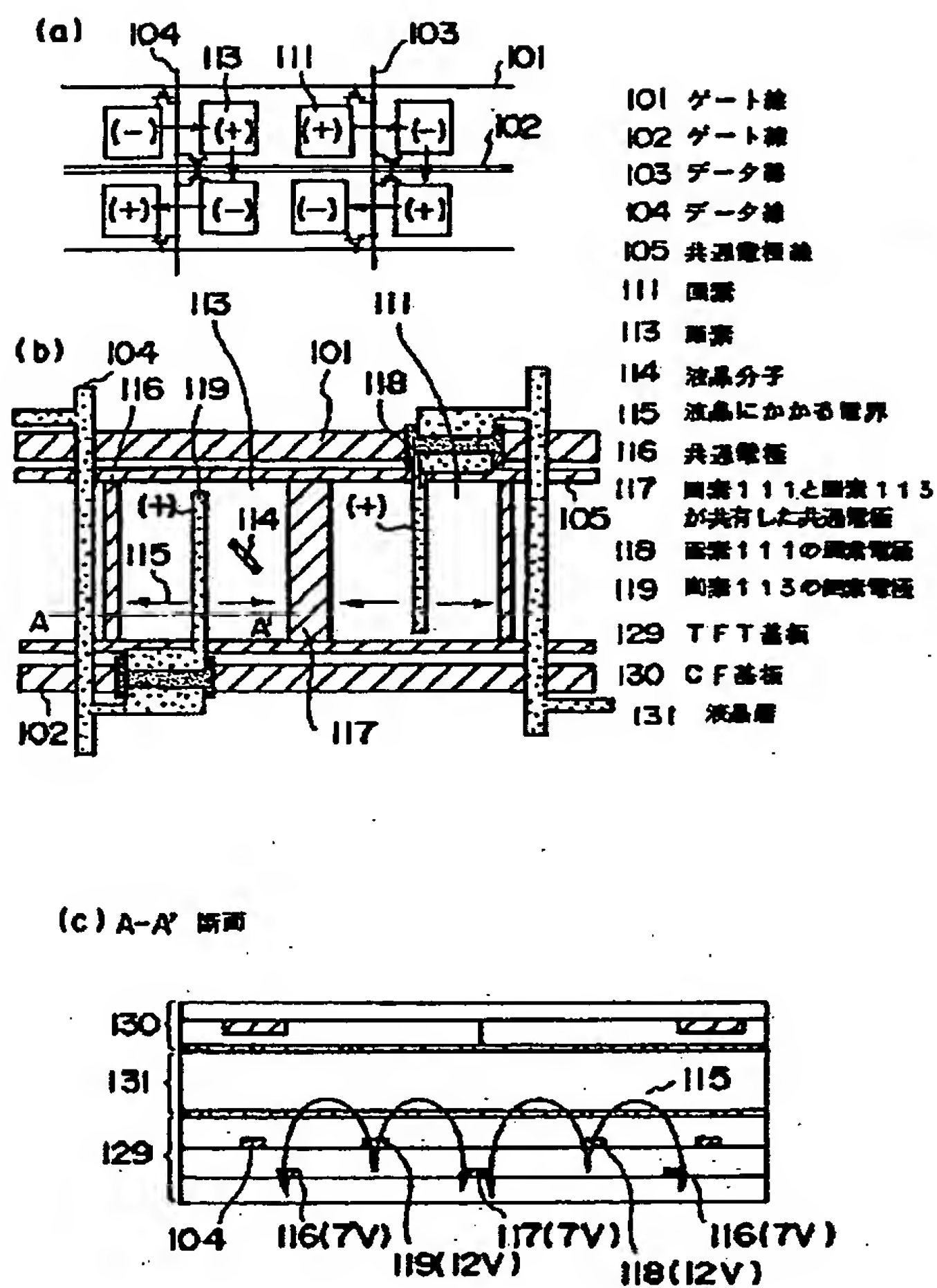
(c) A-A' 断面



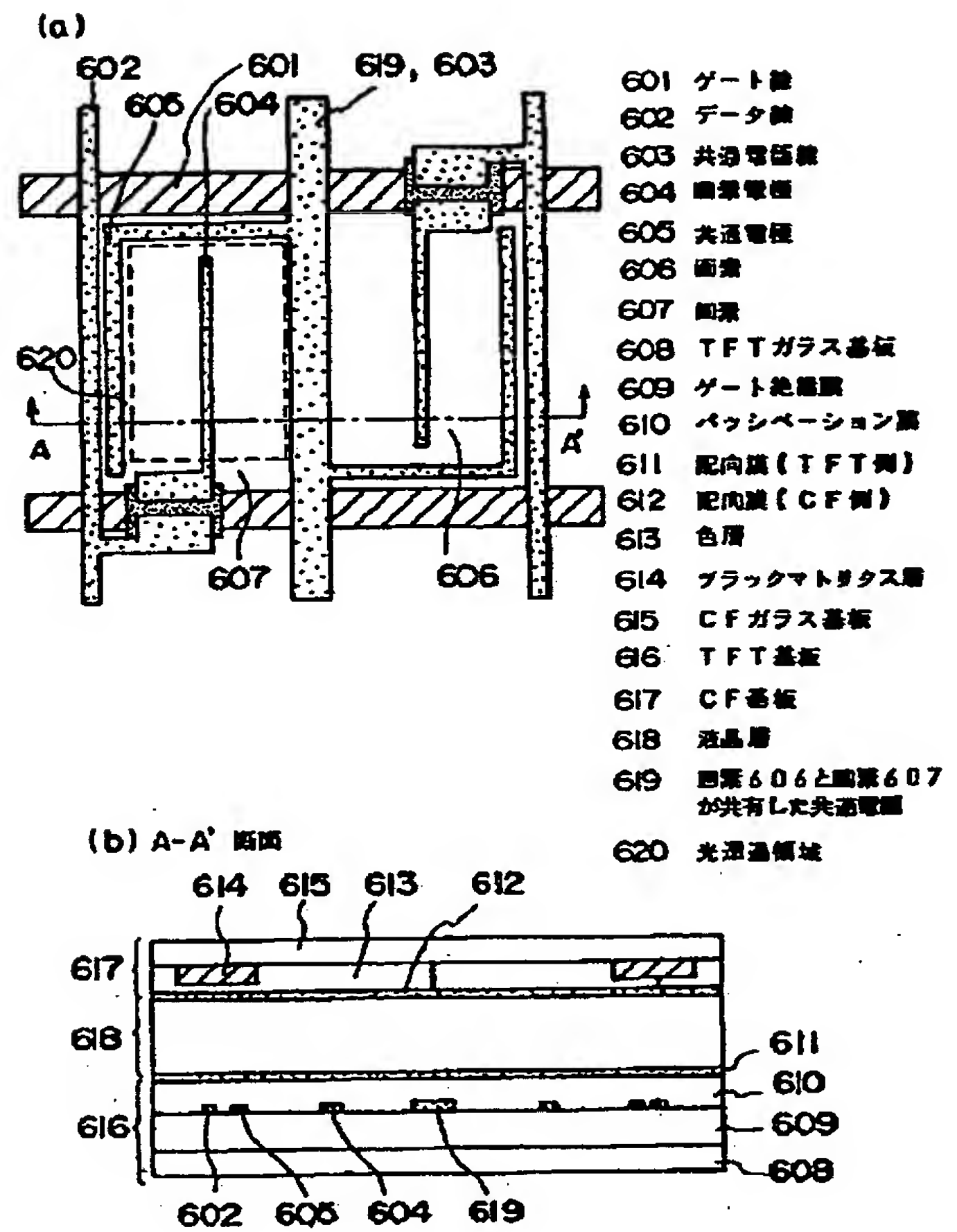
【図 11】



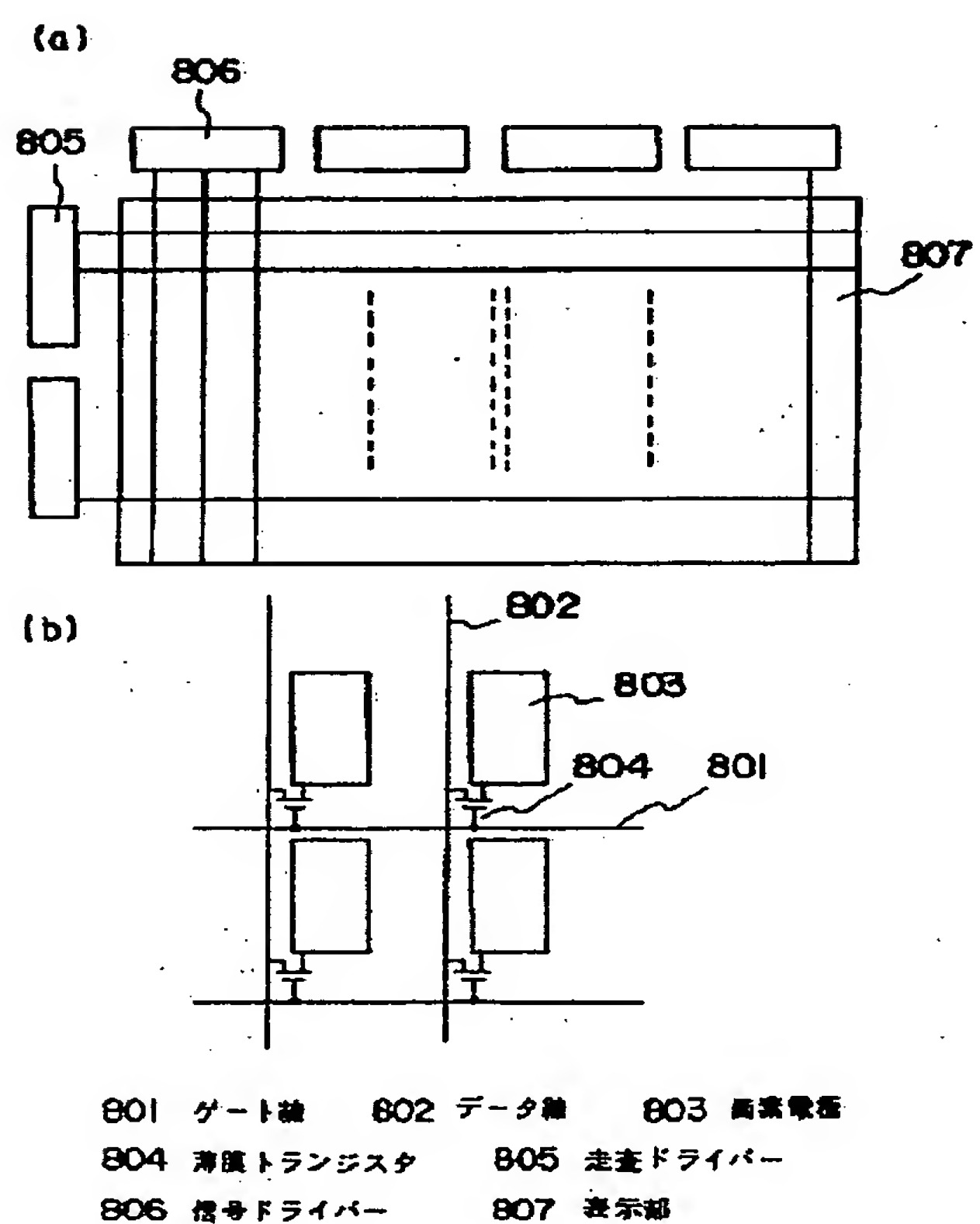
【図5】



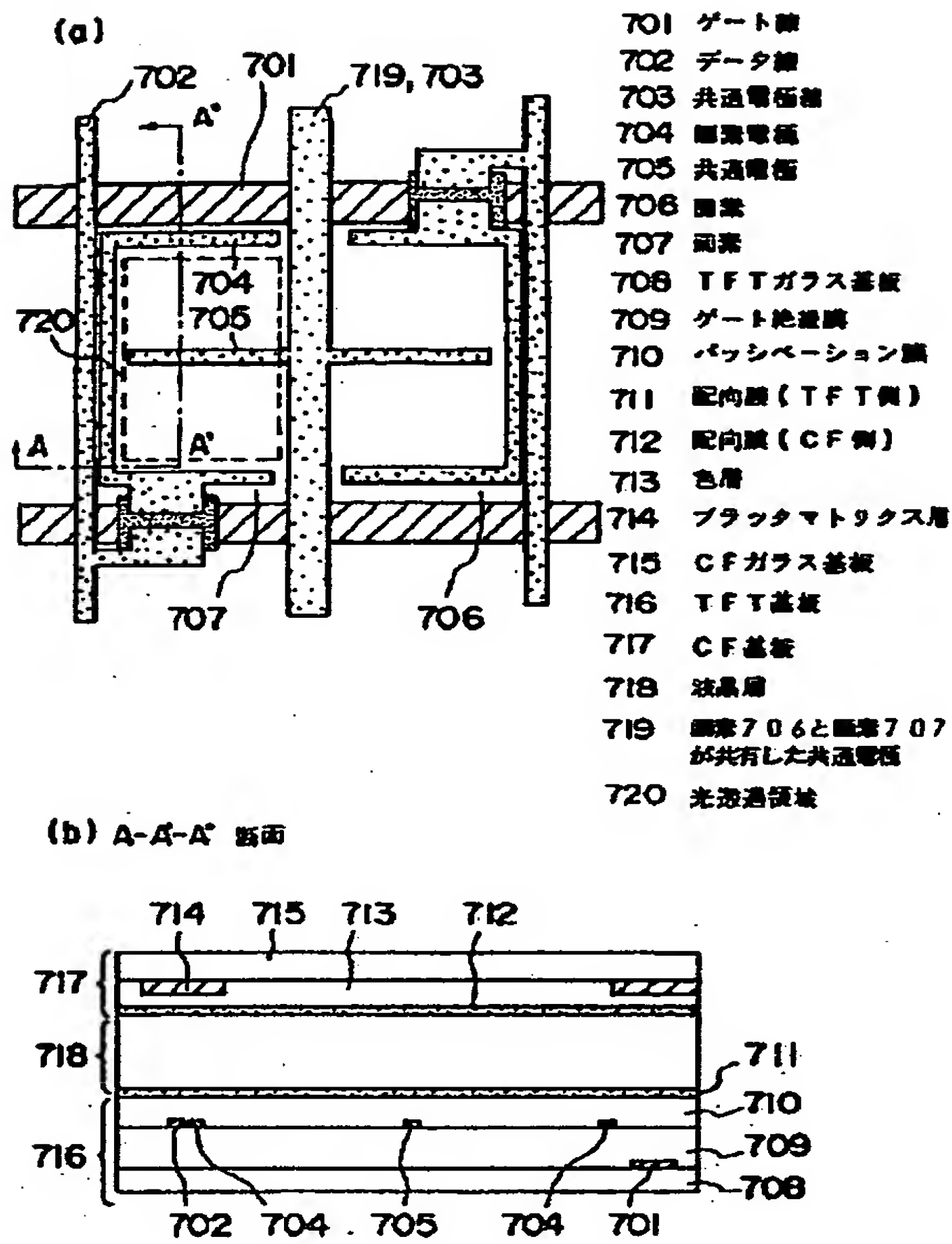
【図6】



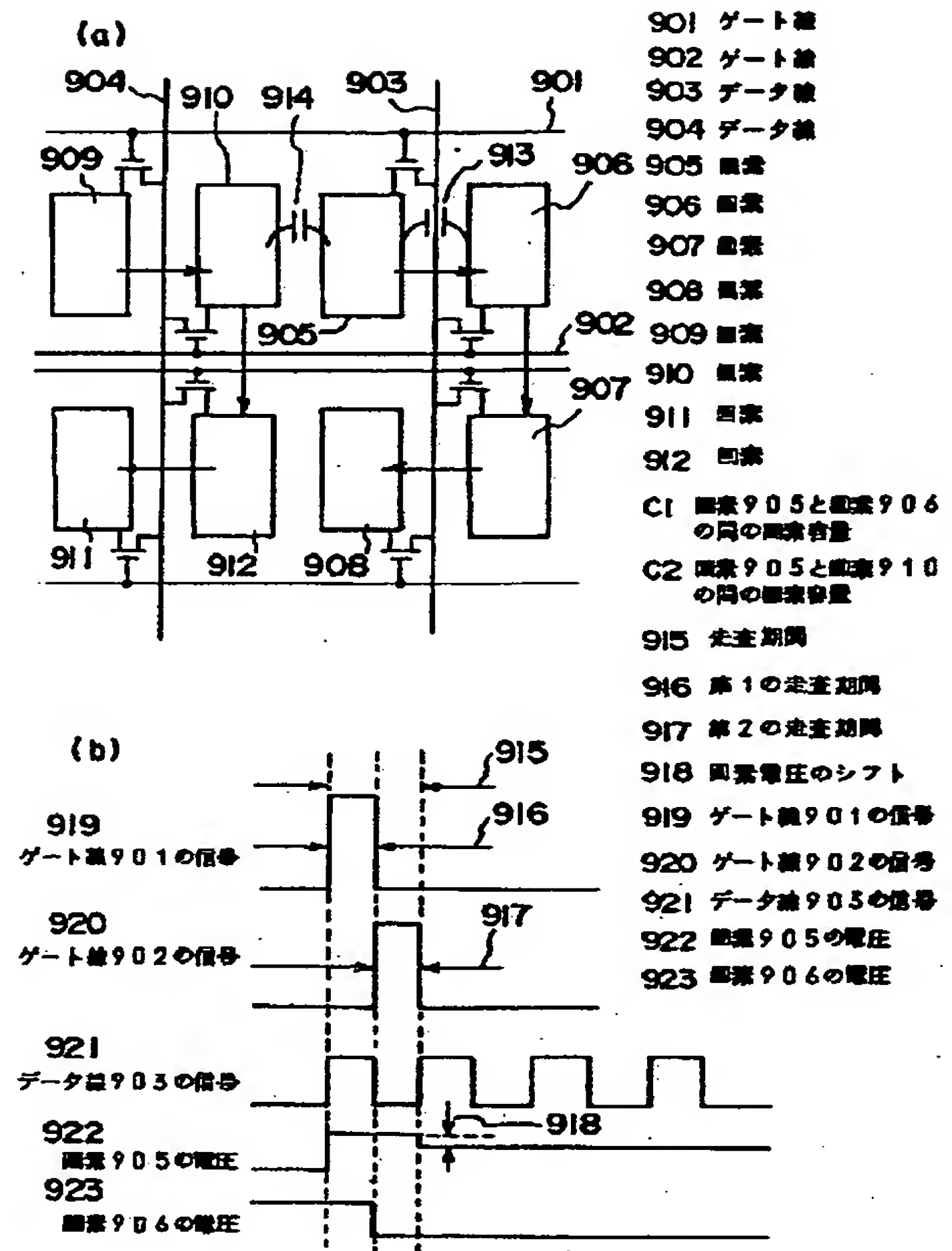
【図8】



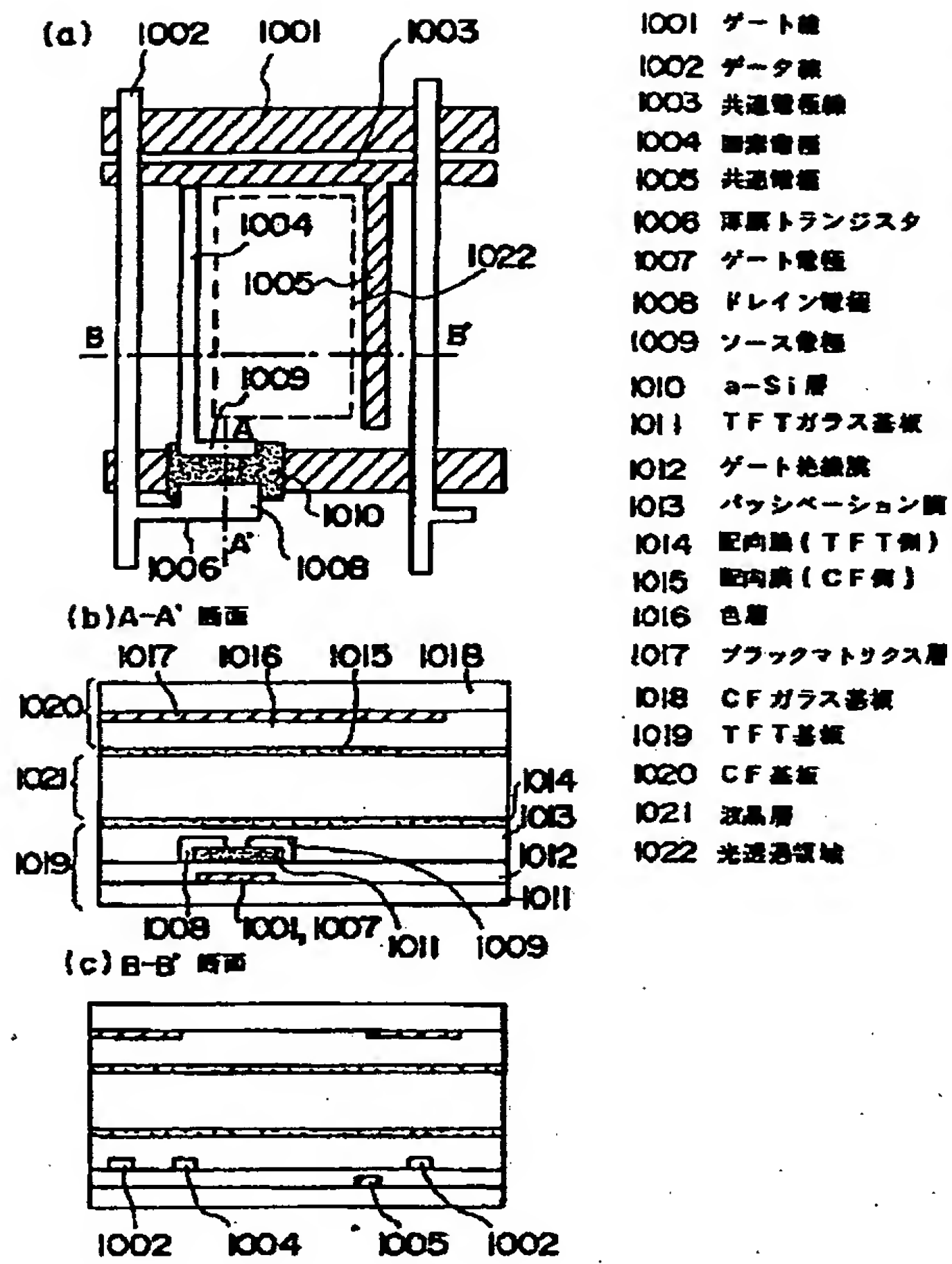
【図 7】



【図 9】



【図10】



【図12】

